

(19)

(11) Publication number: 2001144270 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 11327114

(51) Int'l. Cl: H01L 27/108 H01L 21/8242 H01L 27/04
H01L 21/822 H01L 27/10

(22) Application date: 17.11.99

(30) Priority:

(43) Date of application
publication: 25.05.01(84) Designated
contracting states:

(71) Applicant: HITACHI LTD

(72) Inventor: OTA HIROYUKI
KUMAGAI YUKIHIRO
ASANO ISAMU
OJI YUZURU
NAKAMURA YOSHITAKA

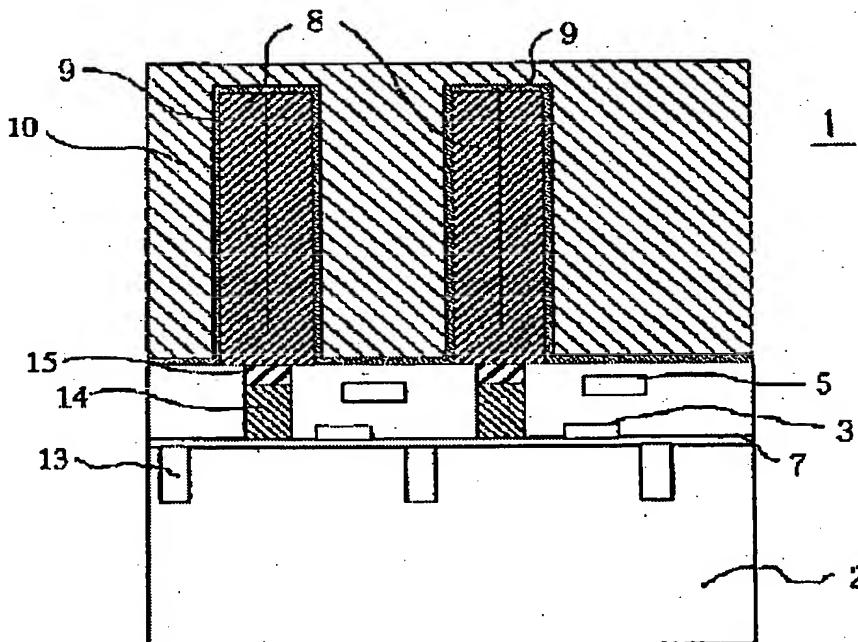
(74) Representative:

(54) SEMICONDUCTOR
DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To realize a semiconductor device in which the fabrication yield and the product reliability can be enhanced without lowering the dielectric constant even when a capacitor having high profile is formed.

SOLUTION: When a compressive stress is present in a dielectric film 9, extending in parallel with the surface of a silicon substrate 2, of a capacitor where the lower electrode 8 has a long length in the direction of central axis, the dielectric film 9 has a larger area at a part parallel with the substrate 2 than at a part perpendicular to the substrate 2 and since the area subjected to compressive stress is large, dielectric constant decreases abruptly. In the structure of a semiconductor device permitting high integration, a film having tensile stress in the direction of film thickness is employed in both upper and lower electrodes 10, 8. Since tensile stress is present in the direction of thickness of the dielectric film 9 perpendicular to the surface of the substrate 2, dielectric constant can be prevented from decreasing even when a capacitor having high profile is formed for the purpose of high integration.



COPYRIGHT: (C)2001,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-144270

(P2001-144270A)

(43)公開日 平成13年5月25日 (2001.5.25)

(51)Int.Cl.⁷
H 01 L 27/108
21/8242
27/04
21/822
27/10 4 5 1

識別記号

F I
H 01 L 27/10
27/04
27/10

テマコト[®] (参考)
4 5 1 5 F 0 3 8
6 5 1 5 F 0 8 3
C
6 2 1 B
6 2 1 C

審査請求 未請求 請求項の数3 OL (全8頁)

(21)出願番号 特願平11-327114

(22)出願日 平成11年11月17日 (1999.11.17)

(71)出願人 000005108

株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(72)発明者 太田 裕之

茨城県土浦市神立町502番地 株式会社日
立製作所機械研究所内

(72)発明者 熊谷 幸博

茨城県土浦市神立町502番地 株式会社日
立製作所機械研究所内

(74)代理人 100077816

弁理士 春日 譲

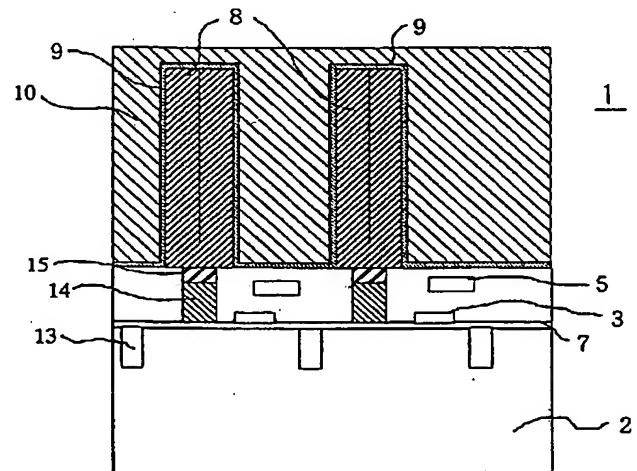
最終頁に続く

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】半導体装置を高集積化し、背の高いキャパシタを形成した場合においても、誘電体膜の比誘電率を低下させることなく、歩留りや製品信頼性の向上を図ることが可能な半導体装置を実現する。

【解決手段】シリコン基板2の表面に平行な方向の誘電体膜9中の応力が圧縮応力の場合には下部電極8の中心軸方向長の大きなキャパシタでは基板2に平行な部分の面積より基板2に垂直な方向の誘電体膜9の面積が相対的に大きく圧縮応力となっている面積が大で比誘電率が急速に低下する。そこで、半導体装置1の高集積化が可能である構造について、上部電極10、下部電極8共、その膜厚方向に引張り応力を持つ膜を用いた。これにより、基板2の表面に対して垂直な誘電体膜9の膜厚方向の応力を引張り応力とすることができます、高集積化のために背の高いキャパシタとした場合においても比誘電率の低下を防止できる。



【特許請求の範囲】

【請求項1】半導体基板と、この半導体基板上に形成されたトランジスタと、このトランジスタの上層に、ペロブスカイト構造を有する誘電体膜とこの誘電体膜を挟む上部電極膜及び下部電極膜とから構成されるキャパシタを少なくとも有し、このキャパシタの誘電体膜表面の半分以上が上記半導体基板表面に対して垂直あるいは垂直から45度以内となっている半導体装置において、上部電極膜及び下部電極膜ともにその膜厚方向に引張りの応力を有する膜で構成したことを特徴とする半導体装置。

【請求項2】半導体基板と、この半導体基板上に形成されたトランジスタと、このトランジスタの上層に、ペロブスカイト構造を有する誘電体膜とこの誘電体膜を挟む上部電極膜及び下部電極膜とから構成されるキャパシタを少なくとも有し、このキャパシタの誘電体膜表面の半分以上が上記半導体基板表面に対して垂直あるいは垂直から45度以内となっている半導体装置において、上記下部電極膜はその膜厚方向に引張り応力を有する膜であり、上部電極膜は2層で構成され、この2層のうち、上記誘電体膜に接する層をスパッタ膜で形成し、上記誘電体膜に接しない他方の層をその膜厚方向に引張り応力を有する膜で形成することを特徴とする半導体装置。

【請求項3】半導体基板と、この半導体基板上に形成されたトランジスタと、このトランジスタの上層に、ペロブスカイト構造を有する誘電体膜とこの誘電体膜を挟む上部電極膜及び下部電極膜とから構成されるキャパシタを少なくとも有し、このキャパシタの誘電体膜表面の半分以上が上記半導体基板表面に対して垂直あるいは垂直から45度以内の角度になるように配置されており、キャパシタ間がシリコン酸化膜を主とする絶縁膜で区切られた半導体装置において、上部電極膜及び下部電極膜をこれらの膜厚方向に引張りの応力を有する膜で形成し、キャパシタ間の上記シリコン酸化膜をこのシリコン酸化膜表面に平行な方向に引張りの応力を有する膜で形成したことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体集積回路装置、特に半導体メモリの構造、応力分布等に関する。

【0002】

【従来の技術】従来のDRAM等の半導体装置では、その高集積化に伴い、蓄積電荷容量の維持のために、メモリセル構造の複雑化や、誘電体薄膜の膜厚の減少を行うことによって対応してきた。しかしながら、半導体装置のさらなる高集積化により、これらの方法だけでは十分な蓄積電荷容量を得ることが困難となった。

【0003】そこで、誘電率の大きな誘電体材料を用い

10

るための努力がなされてきている。これら誘電率の大きな誘電体材料の一つとして、BSTすなわち(Ba, Sr)TiO₃が挙げられている。

【0004】このBSTの比誘電率は、バルク値で1500程度であるが、半導体デバイスに応用するために薄膜化すると150程度に低下することが知られており、この比誘電率の低下をいかに防ぐかということが適用にあたっての課題となっている。この技術の一例として、応用物理、1998年、第67巻、第11号、1246ページに記載されたものが挙げられる。

【0005】また、誘電率低下の1つの原因として、圧縮応力の存在が知られている。この圧縮応力を制御して比誘電率の低下を防ぐという技術は、特開平10-144884号公報に記載されている。

【0006】この公報に記載された技術は、容量体の下部電極の取り扱いに言及したものであり、室温で成膜されたルテニウム膜上でBST膜を結晶化させて収縮させることでBST膜を膜厚方向に伸ばそうというものである。

20

【0007】そして、この公知例では上部・下部電極の応力はほとんど無視できる程度としており、BST膜自身の収縮によって、BST膜内を引張り応力とするものである。

【0008】

【発明が解決しようとする課題】ところで、従来の半導体装置の集積度を向上させようすると、従来の容量体よりも、背の高い、長い柱状のキャパシタ構造、すなわち、図11中の下部電極8、誘電体膜9、上部電極10を有するキャパシタ構造の下部電極8の中心軸方向長Lの大きなキャパシタ構造となることが必至である。

【0009】しかしながら、本願の発明者らによる試作実験の結果、背の高いキャパシタとなるとBST膜の平均の比誘電率が急速に低下することが明らかとなった。すなわち、図11に示す程度のL寸法の従来の構造のキャパシタでは問題とならなかった比誘電率の低下が、L寸法が大となり、背の高いキャパシタとなることによって問題となるようになってきた。これは、キャパシタのL寸法が大となればなるほど、比誘電率が低下するということである。

30

【0010】本発明の目的は、半導体装置を高集積化し、背の高いキャパシタを形成した場合においても、誘電体膜の比誘電率を低下させることなく、歩留りや製品信頼性の向上を図ることが可能な半導体装置を実現することである。

【0011】

【課題を解決するための手段】本発明者は、背の高さの増加に伴って比誘電率が低下したキャパシタ構造について、有限要素法による応力解析を用いて不良解析を行った。その結果、BST膜内の応力が圧縮応力である領域の面積が、キャパシタの背の高さの増加に伴って大幅に

50

増加していることが明らかとなった。

【0012】B S T膜内の膜厚方向の応力とB S T膜の比誘電率との関係は定性的には知られており、B S T膜が膜厚方向に強い圧縮応力を有する場合に比誘電率が低下することが知られている。

【0013】すなわち、S i基板表面に平行な方向のB S T膜中の応力が圧縮応力となっており、下部電極の中心軸方向長Lの大きなキャパシタの方が、S i基板に平行な部分の面積よりS i基板に垂直な方向のB S T膜の面積が相対的に大きいために圧縮応力となっている面積が増加し、比誘電率が急速に低下したものと判明した。

【0014】そこで、本願の発明者らは、半導体デバイスの高集積化が可能である構造について、上部電極、下部電極とも、その膜厚方向に引張り応力を有する膜を用いた。これによって、S i基板表面に対して垂直なB S T膜の膜厚方向の応力を引張り応力とすることことができ、さらなる高集積化のために背の高いキャパシタとした場合においても比誘電率の低下を防止することができた。

【0015】すなわち、上記目的を達成するため、本発明は次のように構成される。

(1) 半導体基板と、この半導体基板上に形成されたトランジスタと、このトランジスタの上層に、ペロブスカイト構造を有する誘電体膜とこの誘電体膜を挟む上部電極膜及び下部電極膜とから構成されるキャパシタを少なくとも有し、このキャパシタの誘電体膜表面の半分以上が上記半導体基板表面に対して垂直あるいは垂直から45度以内となっている半導体装置において、上部電極膜及び下部電極膜ともにその膜厚方向に引張りの応力を有する膜で構成する。

【0016】(2) 半導体基板と、この半導体基板上に形成されたトランジスタと、このトランジスタの上層に、ペロブスカイト構造を有する誘電体膜とこの誘電体膜を挟む上部電極膜及び下部電極膜とから構成されるキャパシタを少なくとも有し、このキャパシタの誘電体膜表面の半分以上が上記半導体基板表面に対して垂直あるいは垂直から45度以内となっている半導体装置において、上記下部電極膜はその膜厚方向に引張り応力を有する膜であり、上部電極膜は2層で構成され、この2層のうち、上記誘電体膜に接する層をスパッタ膜で形成し、上記誘電体膜に接しない他方の層をその膜厚方向に引張り応力を有する膜で形成する。

【0017】(3) 半導体基板と、この半導体基板上に形成されたトランジスタと、このトランジスタの上層に、ペロブスカイト構造を有する誘電体膜とこの誘電体膜を挟む上部電極膜及び下部電極膜とから構成されるキャパシタを少なくとも有し、このキャパシタの誘電体膜表面の半分以上が上記半導体基板表面に対して垂直あるいは垂直から45度以内の角度になるように配置されており、キャパシタ間がシリコン酸化膜を主とする絶縁膜で区切られた半導体装置において、上部電極膜及び下部

10

20

30

40

50

電極膜をこれらの膜厚方向に引張りの応力を有する膜で形成し、キャパシタ間の上記シリコン酸化膜をこのシリコン酸化膜表面に平行な方向に引張りの応力を有する膜で形成する。

【0018】

【発明の実施の形態】以下、図面を用いて本発明における実施形態について説明する。なお、本発明の実施形態中では誘電体材料にB S Tを用いたが、ペロブスカイト構造を持つ強誘電体膜および高誘電体膜では同様な効果があることを確認しているので、これらのB S T以外の誘電体膜材料に本発明を適用しても良い。

【0019】図1は、本発明の第1の実施形態である半導体装置1の断面構造を示す図である。図1に示した本発明の第1の実施形態では、シリコン基板2上に素子分離膜13、ゲート酸化膜7およびゲート電極3が形成され、トランジスタを構成する。このトランジスタの上方にキャパシタ下部電極8、ペロブスカイト構造を有する誘電体膜9、キャパシタ上部電極10が形成され、電荷を蓄積する。さらに、その周辺や上方には、層間絶縁膜(図示せず)が形成され、上部や周囲には配線(図示せず)が形成される。なお、下部電極8、誘電体膜9、上部電極10によりキャパシタが形成される。そして、キャパシタの誘電体膜9の表面の半分以上がシリコン基板2の表面に対して垂直あるいは垂直から45度以内となっている。また、14はコンタクト、15はバリアメタルである。

【0020】図1に示した半導体デバイス1は、以下に示す製造方法によって形成される。まず、各トランジスタを電気的に絶縁分離するため、局所的にシリコン基板2の熱酸化を行い、素子分離膜13を形成する。さらに、トランジスタを形成する領域にゲート酸化膜7を熱酸化法により形成し、その上にゲート電極3をC V D法およびこれに続くフォトリソグラフィ技術を用いて形成する。

【0021】シリコン基板2の内部にp n接合を形成するためイオン注入が行われ、イオン注入層が形成される。そして、ゲート電極3の上にゲート電極3を覆うように層間絶縁膜がC V D法を用いて形成される。この際、層間絶縁膜の表面をできるだけ平坦化するために、アニールによって層間絶縁膜をリフローさせたり、層間絶縁膜を厚く堆積させてエッチバックすることが行われる。

【0022】さらに、層間絶縁膜の上面にスパッタ法およびこれに続くフォトリソグラフィ技術を用いて下層配線5が形成される。その上方にシリコン窓化膜やシリコン酸化膜を主成分とする層間絶縁膜が形成される。また、キャパシタの下部電極8とシリコン基板2とを接続するコンタクト14のためのコンタクトホールも形成される。

【0023】このコンタクトホールの上方にキャパシタ

が形成される。まず、図2に示すように、 SiO_2 の厚い酸化膜16を形成し、キャパシタを形成する位置にエッチングで選択的に穴を形成する。その穴に下部電極8を埋め込み、上部を平坦化することで図3のような構造を得る。さらに、 SiO_2 の酸化膜16の層を除去し、下部電極8に誘電体膜9を成膜することで、図4に示すような構造を得る。

【0024】また、柱状の下部電極8が倒れないように、図5に示すように、根本を SiN 等の層17で挟んで補強する構造が望ましい。さらに、誘電体膜9に上部電極10を厚く堆積させ、上部を平坦化することによって、図1の構造を得る。よって、本発明の第1の実施形態の構造においては、上部電極8、下部電極10とも、膜の成長方向は、図3に矢印で示したように Si 基板2の表面に対して平行方向となる。

【0025】誘電体膜9の比誘電率の低下に影響を及ぼす応力は、本発明の第1の実施形態の構造の場合には Si 基板2の表面に対して平行方向の応力が主であるので、上部電極8の誘電体膜9の成長方向である膜厚方向の応力が重要な意味を持つ。

【0026】なお、図1の上方にはフォトリソグラフィおよびエッチング技術を用いて、層間絶縁膜や配線、および配線間を電気的に接続するスルーホールが形成される。

【0027】本発明の第1の実施形態の構造において、上部電極8と下部電極10とは両者とも膜厚方向に引張りの応力を持つ膜とする。これにより、メモリマット内部ではシリコン基板2と平行な方向の応力を引張り応力とすることができます。すなわち、図1の構造において、キャパシタの大部分の面積で誘電体膜9の膜厚方向の応力を引張り応力とすることができます。これにより、高集積化を行う上において、背の高いキャパシタを形成した場合でも誘電体膜9の比誘電率の低下を防ぐことができる。

【0028】これにより、BST等の高誘電率を持つ誘電体膜9を使用し、高集積化を行った場合でも、半導体デバイスの信頼性や歩留まりの向上が達成される。

【0029】つまり、本発明の第1の実施形態によれば、半導体装置を高集積化し、背の高いキャパシタを形成した場合においても、誘電体膜の比誘電率を低下させることなく、歩留りや製品信頼性の向上を図ることができる半導体装置を実現することができる。

【0030】なお、このときの膜の膜厚方向の応力値は、図1の構造を全面に作り込んだチップの反りから概算できる。まず、上部電極10が露出するように、エッチングやCMP、イオンミリング等を用いて処理し、その後、キャパシタ構造を可能な限り均一に、エッチングやミリングで除去する。

【0031】その除去の前後におけるチップの反りの変化の方向から、電極膜の応力の符号と大きさが概算できる。たとえば、上部電極10をエッチングした後のチッ

プの反りが、エッチング前と較べて、デバイス形成面を上として上に凸になるように変化した場合には、上部電極10は膜厚方向に引張りの応力を持っていたことになる。また、その変化量から応力の大きさを概算できる。

【0032】ただし、この方法での実測値は、従来から行われている方法である、均一に成膜された膜の付いたウエハの反りから応力を求めた値と一致しないことが多い。従来の方法では膜の表面に平行な方向の応力が測定されるのに対し、この方法では膜厚方向の応力を測定しているためである。

【0033】また、この第1の実施形態では上部電極10には、 Ru を用いたが、 Pt 、 Pd 、 Ir 、あるいはこれらの酸化物、およびシリサイド、 TiN 、 WN 、 TaN のいずれかならば同様な効果が期待できる。また、誘電体膜9はBSTや $SiTiO_3$ などのペロブスカイト系高誘電体材料で構成される。

【0034】また、この第1の実施形態では、シリコン基板2に対して垂直にキャパシタが立ち上がっているが、シリコン基板2に対して45度以内の範囲で傾いていても、角度によって効果が減少するものの本発明の第1の実施形態の効果は有効である。

【0035】図6は、本発明の第2の実施形態である半導体装置1の断面構造を示す図である。上部電極10を引張り応力とすると、誘電体膜9と上部電極10との界面で互いに剥離しやすいという問題がある。

【0036】そこで、上部電極10を10a、10bの2層とし、誘電体膜9と接する側の第1層をスパッタ膜で、第2層をCVD膜で形成する。

【0037】スパッタ膜は、成膜時に成膜原子が打ち込まれることから界面での接着強度が高いが、原子を打ち込むために膜応力が膜厚方向にも圧縮応力となりやすい。これを引張り応力とするためには成膜イオンのエネルギーを下げてやらねばならず、密着性に問題が生じる。

【0038】そこで、図6に示すように、上部電極10を第1の電極10aと第2の電極10bとの2層とし、誘電体膜9に接する第1層10aはスパッタで成膜し、応力的には圧縮であってもよいが、接着強度を上げる目的で形成される。また、第1層10a上に形成される第2層10bは、誘電体膜9の膜厚方向の応力を引張り応力とするための膜であり、スパッタあるいはCVDで形成される。

【0039】この第2の実施形態における他の構成は、本発明の第1の実施形態と同様であるので、詳細な説明は省略する。

【0040】本発明の第2の実施形態によれば、第1の実施形態と同様に、誘電体膜9の比誘電率の低下を防ぐことができるという効果を有する他、誘電体膜9と上部電極10との界面での剥離を防止することができるという効果がある。

【0041】また、CVD膜は成膜過程に由来して膜中

に炭素、水素、水分等を含んでいることから、誘電体膜9の特性劣化をもたらす。一方、スパッタ膜はこれらの含有量は非常に少ない。そこで、本発明の第2の実施形態によれば、誘電体膜9にスパッタ膜である第1層10aが接しているので、不純物が誘電体膜9中に拡散しにくく、特性の劣化が起こりにくいという利点がある。

【0042】図7は、本発明の第3の実施形態である半導体装置1の断面構造を示す図である。この図7の例は、 SiO_2 膜16中に形成した穴の中にキャパシタを形成するトレンチ型の場合の例である。そして、キャパシタは、複数形成されており、キャパシタとキャパシタとの間は、シリコン絶縁膜16により区切られている。

【0043】以下にキャパシタ部のみの製造方法を示す。図8に示すように、 SiO_2 の厚い膜16を形成し、キャパシタを形成する位置にエッチングで選択的に穴を形成する。その穴に下部電極8を成膜し、上部を平坦化する。そして、下部電極8の上方に誘電体膜9を成膜することで、図9に示すような構造を得る。さらに、上部電極10を厚く堆積させて穴を埋め、上部を平坦化することによって、図7の構造を得る。

【0044】よって、本構造においては第1の実施形態と同様に、上部電極10、下部電極8とも、膜の成長方向は図7に矢印で示したように Si 基板2の表面に対して平行方向となる。

【0045】基本的には、第3の実施形態の構造も第1の実施形態と変わりなく、上部電極10及び下部電極8の膜厚方向の応力を引張り応力とすればよい。同様に、 SiO_2 膜16は膜16の表面と平行な方向の応力が引張り力になるようになる。

【0046】ここで、上部電極10、下部電極8、シリコン酸化膜16を膜厚方向に引張り力を有するようにするには、スパッタ法の場合には、スパッタガス圧力をより高くして、スパッタ粒子の平均自由行程を小さくすることや、成膜温度を高くすることで達成される。また、CVD膜の場合には、成膜温度を高くすることで達成される。

【0047】また、キャパシタ形成後に、成膜温度より高い温度でアニールすると、さらに有効となる。ただし、成膜温度の上昇は、キャパシタの下層に配置されるバリアメタル等の酸化や、シリコン基板2中の拡散層の変化が引き起こされる危険性があるため、実用上、成膜温度、アニール温度の上限は、700°C程度となる。

【0048】図10は、上述した本発明の実施形態による引張り応力を有する上部電極10及び下部電極8を使用した場合による比誘電率の優位性を説明するための図である。

【0049】図10において、縦軸は、図11に示したような平坦キャパシタの比誘電率を1とし、アスペクト比が5である背の高いキャパシタの比誘電率との比を示す。また、図10の横軸は、膜厚方向の膜応力(引張

り応力)を示す。

【0050】この図10から、膜応力に比例して比誘電率の比が増加する。したがって、膜応力を膜厚方向に圧縮力となることを防止することによって、背の高いキャパシタであっても、比誘電率の低下を防止することが可能なことがわかる。

【0051】以上のように、本発明によれば、キャパシタの大部分の面積において、誘電体膜9の膜厚方向の応力を引張り応力にすることができるため、高集積化を行うために、背の高いキャパシタを形成した場合でも誘電体膜9の比誘電率の低下を防ぐことができる。

【0052】これにより、BST等の高誘電率を持つ誘電体膜9を使用し、高集積化を行った場合でも、半導体デバイスの信頼性や歩留りの向上が達成される。

【0053】

【発明の効果】本発明は、以下のような効果を有する。シリコン基板と、シリコン基板上に形成されたトランジスタと、その上層に、ペロブスカイト構造を有する誘電体膜と、この誘電体膜を挟む上部電極と下部電極から構成されるキャパシタ構造を少なくとも有する半導体デバイスにおいて、電極膜の膜厚方向に引張りの残留応力を有する上部電極、下部電極を用いる。

【0054】これにより、誘電体膜にも引張りの応力が働くために、シリコン(Si)基板表面に対して垂直な部分の誘電体膜の誘電率を上昇させることができ、その結果、高集積化のために背が高くなった場合にも誘電率を低下させることなく、歩留りや製品信頼性の向上を図ることが可能な半導体装置を実現することができる。

【0055】また、電極膜の膜厚方向に引張りの残留応力を有する上部電極、下部電極を用いるとともに、上部電極を2層の膜に分割し、この2層の膜のうち、誘電体膜と接する一方の膜はスパッタ法で形成し、膜の応力は規定しない。一方、誘電体膜と接しない他方の膜はスパッタ法あるいはCVD法で膜厚方向に引張りの応力を持つように形成する。

【0056】誘電体膜と接する膜をスパッタ法で形成するために、誘電体膜と上部電極との界面で互いに剥離することが防止され、誘電体膜が接しない膜を引張りの応力を持つように形成することによって、誘電体膜に引張りの応力が働くために、シリコン基板表面に対して垂直な部分の誘電体膜の誘電率を上昇させることができる。

【0057】これにより、高集積化のために背が高くなった場合にも誘電率を低下させることなく、また、誘電体膜と上部電極との界面で互いに剥離することが防止され、歩留りや製品信頼性の向上を図ることが可能な半導体装置を実現することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態である半導体装置の断面構造を示す図である。

【図2】本発明の第1の実施形態における半導体装置の

製造方法の説明図である。

【図3】本発明の第1の実施形態における半導体装置の製造方法の説明図である。

【図4】本発明の第1の実施形態における半導体装置の製造方法の説明図である。

【図5】本発明の第1の実施形態の変形例を示す図である。

【図6】本発明の第2の実施形態である半導体装置の断面構造を示す図である。

【図7】本発明の第3の実施形態である半導体装置の断面構造を示す図である。

【図8】本発明の第3の実施形態における半導体装置の製造方法の説明図である。

【図9】本発明の第3の実施形態における半導体装置の製造方法の説明図である。

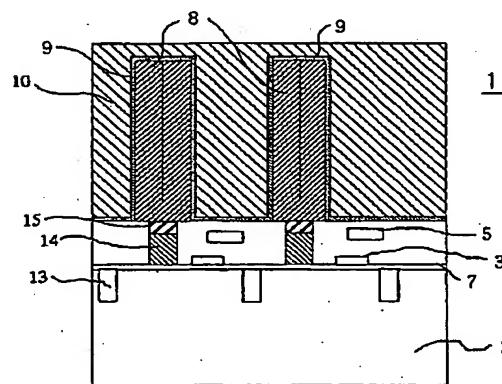
【図10】本発明の実施形態による引っ張り応力を有する上部電極及び下部電極を使用した場合による比誘電率の優位性を説明するための図である。

【図11】従来技術における半導体装置の構造を説明する図である。

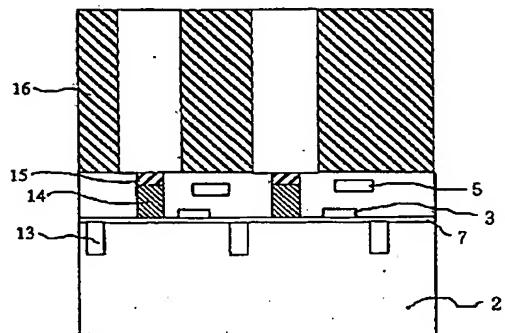
【符号の説明】

1	半導体デバイス
2	シリコン基板
3	ゲート電極
5	下層配線
7	ゲート酸化膜
8	下部電極
9	誘電体膜
10	上部電極
10 a	第1の電極
10 b	第2の電極
13	素子分離膜
14	コンタクト
15	バリアメタル
16	酸化膜
17	SiN等の層

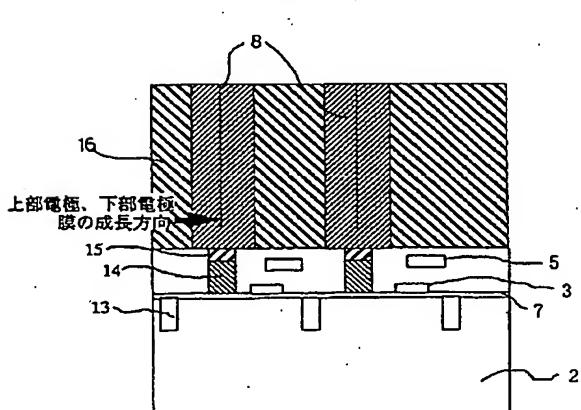
【図1】



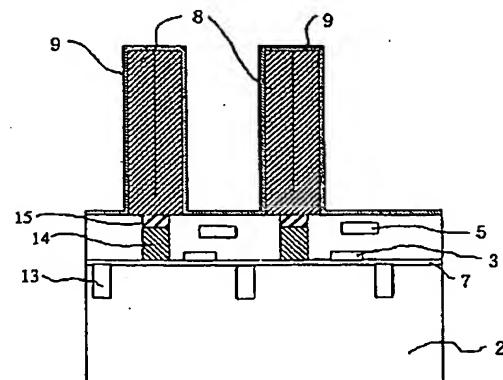
【図2】



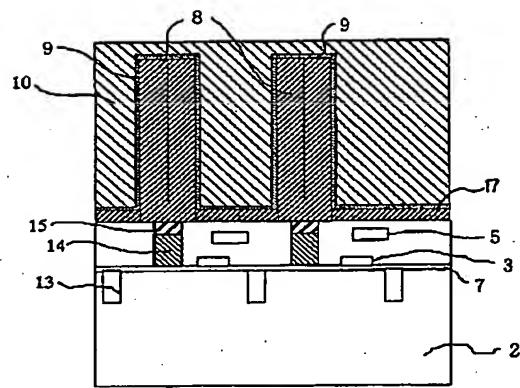
【図3】



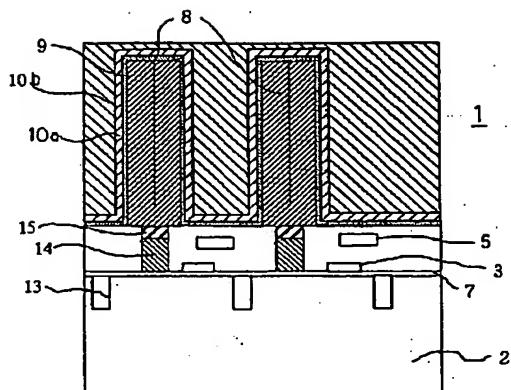
【図4】



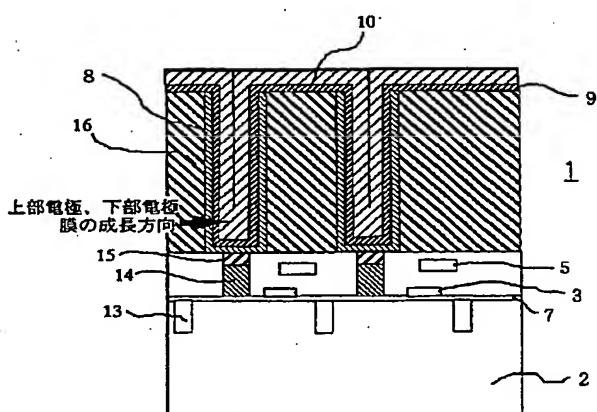
【図5】



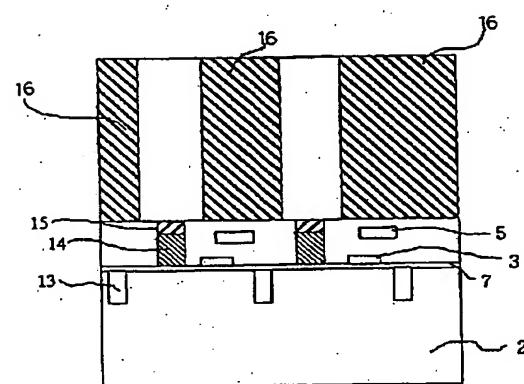
【図6】



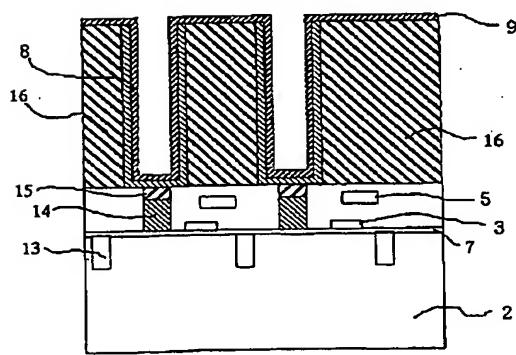
【図7】



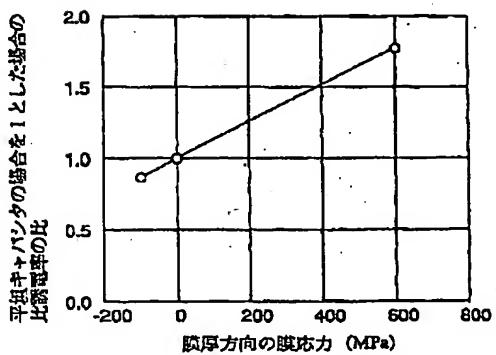
【図8】



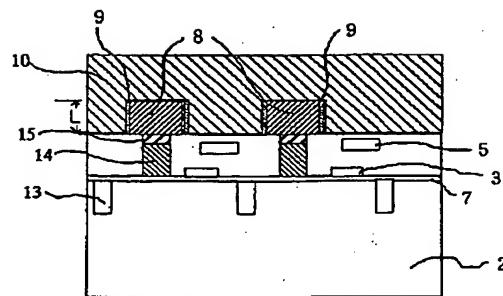
【図9】



【図10】



【図11】



フロントページの続き

(72)発明者 浅野 勇

東京都青梅市新町六丁目16番地の2 株式
会社日立製作所デバイス開発センタ内

(72)発明者 大路 讓

東京都青梅市新町六丁目16番地の2 株式
会社日立製作所デバイス開発センタ内

(72)発明者 中村 吉孝

東京都青梅市新町六丁目16番地の2 株式
会社日立製作所デバイス開発センタ内

F ターム(参考) 5F038 AC05 AC09 AC10 AC15 DF05

EZ14

5F083 AD31 AD42 AD48 AD49 GA25

JA13 JA14 JA38 JA39 JA40

MA06 MA17 PR21 PR22 PR33